

PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM

Internationales Büro

INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

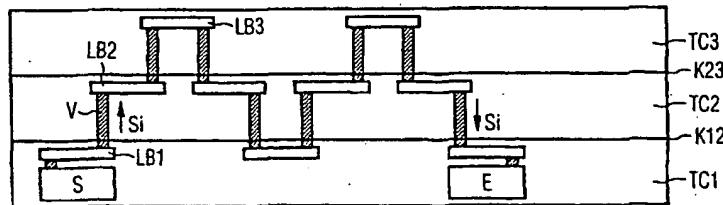


(51) Internationale Patentklassifikation 7 :	A1	(11) Internationale Veröffentlichungsnummer: WO 00/67319
H01L 23/58, 25/065, 21/66		(43) Internationales Veröffentlichungsdatum: 9. November 2000 (09.11.00)

(21) Internationales Aktenzeichen: PCT/EP00/03834	(81) Bestimmungsstaaten: BR, CN, IN, JP, KR, MX, RU, UA, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
(22) Internationales Anmeldedatum: 27. April 2000 (27.04.00)	
(30) Prioritätsdaten: 99108768.5 3. Mai 1999 (03.05.99) EP	Veröffentlicht <i>Mit internationalem Recherchenbericht.</i>
(71) Anmelder (für alle Bestimmungsstaaten ausser US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, D-81541 München (DE).	
(72) Erfinder; und	
(75) Erfinder/Anmelder (nur für US): KUX, Andreas [DE/DE]; Gronsdorfer Str. 14, D-85540 Haar (DE). SMOLA, Michael [DE/DE]; Jutastr. 17, D-80636 München (DE).	
(74) Gemeinsamer Vertreter: INFINEON TECHNOLOGIES AG; Zedlitz, Peter, Patentanwalt, Postfach 22 13 17, D-80503 München (DE).	

(54) Title: SECURITY METHOD AND DEVICE FOR A CHIP STACK WITH A MULTIDIMENSIONAL STRUCTURE

(54) Bezeichnung: VERFAHREN UND VORRICHTUNG ZUR SICHERUNG EINES MEHRDIMENSIONAL AUFGEBAUTEN CHIP-STAPELS



(57) Abstract

The invention relates to a security method for a chip stack with a multidimensional structure and with a plurality of partial chips (TC1, TC2, TC3), which are interconnected on their respective contact surfaces (K12, K23) and at least one of which contains corresponding function components. Said method comprises the following steps: providing the respective printed conductors (LB1, LB2, LB3) in the partial chips (TC1, TC2, TC3); providing plated-through connections (V) to the respective contact surfaces (K12, K23) that interconnect the printed conductors of various partial chips (TC1, TC2, TC3) respectively, so as to form an electrical signal path running through the partial chips (TC1, TC2, TC3); transmitting an electrical signal (SI; SII, SII) from a transmitter device (S; S1, S2) provided at a first end of the electrical signal path to a receiver device (E; E1, E2) provided at a second end of the electrical signal path; and determining that the chip stack has been damaged if the electrical signal (SI; SII, SII) cannot be received. The invention also relates to a corresponding security device.

(57) Zusammenfassung

Die vorliegende Erfindung schafft ein Verfahren zur Sicherung eines mehrdimensional aufgebauten Chipstapels, welcher eine Mehrzahl an jeweiligen Kontaktflächen (K12, K23) miteinander verbundener Teilchips (TC1, TC2, TC3), von denen zumindest einer entsprechende Funktionskomponenten enthält, aufweist, mit den Schritten: Vorsehen von jeweiligen Leiterbahnen (LB1, LB2, LB3) in den Teilchips (TC1, TC2, TC3); Vorsehen von Durchkontaktierungen (V) an den jeweiligen Kontaktflächen (K12, K23), welche jeweils Leiterbahnen verschiedener Teilchips (TC1, TC2, TC3) miteinander verbinden, so daß ein durch die Teilchips (TC1, TC2, TC3) verlaufender durchgehender elektrischer Signalweg gebildet wird; Senden eines elektrischen Signals (SI; SII, SI2) von einer an einem ersten Ende des elektrischen Signalwegs vorgesehenen Sendeeinrichtung (S; S1, S2) zu einer an einem zweiten Ende des elektrischen Signalwegs vorgesehenen Empfangseinrichtung (E; E1, E2); und Feststellen der Beschädigung des Chipstapels, wenn das elektrische Signal (SI; SII, SI2) nicht empfangbar ist. Die Erfindung schafft zudem eine entsprechende Sicherungsvorrichtung:

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Dic ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		

Beschreibung

Verfahren und Vorrichtung zur Sicherung eines mehrdimensional aufgebauten Chipstapels

5

Die vorliegende Erfindung betrifft ein Verfahren und eine Vorrichtung zur Sicherung eines mehrdimensional aufgebauten Chipstapels, welcher eine Mehrzahl an jeweiligen Kontaktflächen miteinander verbundener Teilchips, von denen zumindest 10 einer entsprechende Funktionskomponenten aufweist.

Unter Funktionskomponenten sind dabei in die Teilchips integrierte mikroelektronische Schaltungen oder mikromechanische Komponenten jeglicher Art zu verstehen. Als Chip kann z.B. 15 ein Wafer oder ein Teil eines Wafers aus einem Halbleitermaterial oder einem sonstigen geeigneten Material verstanden werden.

Die der vorliegenden Erfindung zugrundeliegende Problematik 20 besteht allgemein darin, bei solch einem Chipstapel sicherzustellen, daß die Verbindung zwischen den einzelnen Teilchips an den jeweiligen Kontaktflächen nicht gelöst werden kann, ohne daß eine solche Beschädigung von einer entsprechenden Funktionskomponente feststellbar ist. Läßt sich eine solche 25 Beschädigung nämlich feststellen, können entsprechende Gegenmaßnahmen getroffen werden, die beispielsweise ein weiteres Betreiben einer oder mehrerer Funktionskomponenten verhindern.

30 Bisher wurden in dieser Richtung wenig Überlegungen zur Sicherung eines mehrdimensional aufgebauten Chipstapels angestrengt, da dreidimensionale Chipverbindungen noch keine nennenswerte Verbreitung aufweisen.

35 Daher ist es Aufgabe der vorliegenden Erfindung, ein Verfahren und eine Vorrichtung zur Sicherung eines mehrdimensional aufgebauten Chipstapels der eingangs genannten Art zu schaf-

fen, welche physikalische Angriffe auf sicherheitskritische Chips, wie z.B. Chipkarten bzw. Codekarten, erkennbar machen können. Insbesondere das Auftrennen des Chipstapels, um auf Teile des Chips zuzugreifen, soll detektierbar sein.

5

Erfindungsgemäß wird diese Aufgabe durch das in Anspruch 1 angegebene Verfahren bzw. die in Anspruch 6 angegebene Vorrichtung gelöst.

10 Die der vorliegenden Erfindung zugrundeliegende Idee besteht darin, daß ein multidimensionaler Leitungsmäander im Chipverbund integriert wird, durch den ständig oder in bestimmten Zeitabständen elektrische Signale von einem ersten Punkt zu einem zweiten Punkt gesendet werden. Im einfachsten Fall lässt 15 sich, wenn die Signale am zweiten Punkt ankommen bzw. unverändert ankommen, daraus auf die Unversehrtheit des dazwischenliegenden Signalwegs schließen. In bezug auf den jeweiligen Teilchip vertikale Durchkontaktierungen werden dazu verwendet, planare Leiterbahn muster verschiedener Teilchips 20 zu verbinden und so einen durch alle aufeinandermontierten Teilchips laufenden Signalweg zu schaffen.

Dies hat den Vorteil, daß die Integration der erfindungsgemäß 25 Sicherungsvorrichtung im Rahmen üblicher Prozeßschritte, insbesondere Metallisierung und Durchkontaktierung, stattfinden kann.

In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen des in Anspruch 1 angegebenen Verfahrens bzw. der in Anspruch 6 angegebenen Vorrichtung.

30 Gemäß einer bevorzugten Weiterbildung werden ein oder mehrere Funktionskomponenten deaktiviert, falls eine Beschädigung des Chipstapels festgestellt wird. Somit kann verhindert werden, 35 daß geheimzuhaltende Informationen von Unbefugten ausgespäht werden.

Gemäß einer weiteren bevorzugten Weiterbildung wird ein von der Sendeeinrichtung zur Empfangseinrichtung verlaufender durchgehender elektrischer Referenzsignalweg gebildet und darüber gleichzeitig mit dem Senden des elektrischen Signals 5 ein elektrisches Referenzsignal gesendet. Dies stellt sicher, daß dem Empfänger kein künstlicher Sender anstelle des echten Senders vorgetäuscht werden kann.

Gemäß einer weiteren bevorzugten Weiterbildung werden die 10 Sendeeinrichtung und die Empfangseinrichtung in verschiedenen Teilchips vorgesehen. Damit können Sender und Empfänger nicht über eine Brücke im gleichen Teilchip kurzgeschlossen werden.

Gemäß einer weiteren bevorzugten Weiterbildung werden mehrere 15 Paare von Sendeeinrichtung und Empfangseinrichtung in verschiedenen Teilchips vorgesehen. Somit können sich die Teilchips wechselweise überprüfen.

Gemäß einer weiteren bevorzugten Weiterbildung sind die jeweiligen Leiterbahnen in den Teilchips planar ausgebildet. So 20 lassen sich ohnehin vorhandene Metallisierungsschichten für die Sicherungsvorrichtung verwenden.

Gemäß einer weiteren bevorzugten Weiterbildung sind Leiterbahnen zwischen den Teilchips in einer Metallisierungsschicht 25 zur Verbindung jeweils zweier Teilchips ausgebildet. Somit erfüllt die Metallschicht zur vertikalen Verbindung, z.B. Lotverbindung, eine Doppelfunktion.

30 Gemäß einer weiteren bevorzugten Weiterbildung ist insbesondere für den Fall über strukturiertes Lotmetall verbunden sind, eine Metallisierungsschicht ohne Verbindungsfunction einseitig als Abschirmung auf einem außen liegenden Teilchip vorgesehen.

Gemäß einer weiteren bevorzugten Weiterbildung ist der Signalweg vertikal durch die Teilchips laufend mäanderförmig

ausgebildet. Im einfachsten Fall ist der Mäander in einer vertikalen Ebene ausgebildet. Es sind aber auch kompliziertere Raumformen entsprechend der jeweiligen Chipaufteilung vorstellbar.

5

Gemäß einer weiteren bevorzugten Weiterbildung sind Leiterbahnen in einem oder mehreren Teilchips, insbesondere an den Stirnflächen des Chipstapels, planar mäanderförmig ausgebildet. Damit lassen sich engmaschige Abschirmungen an größeren 10 freien Flächenbereichen erzielen.

Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

15

Es zeigen:

20 Fig. 1 eine schematische Darstellung eines aus drei Teilchips aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung;

25 Fig. 2 eine schematische Darstellung eines aus drei Teilchips aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung;

30 Fig. 3 eine schematische Darstellung eines aus drei Teilchips aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem dritten Ausführungsbeispiel der vorliegenden Erfindung;

35 Fig. 4 eine schematische Darstellung eines aus drei Teilchips aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem vierten Ausführungsbeispiel der vorliegenden Erfindung;

Fig. 5 eine schematische Darstellung eines aus drei Teilchips aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem fünften Ausführungsbeispiel der vorliegenden Erfindung; und

5

Fig. 6 eine schematische Darstellung eines aus drei Teilchips aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem sechsten Ausführungsbeispiel der vorliegenden Erfindung.

10

In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Elemente.

15

Fig. 1 ist eine schematische Darstellung eines aus drei Teilchips aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung.

25

In Figur 1 bezeichnen TC1, TC2, TC3 einen ersten, zweiten, bzw. dritten Teilchip, welche in Form eines Stapels miteinander an jeweiligen Kontaktflächen K12, K23 verbunden sind, z.B. verlötet sind. Die jeweiligen Teilchips enthalten sicherheitssensitive Funktionskomponenten, welche aus Gründen der Vereinfachung in den Figuren nicht dargestellt sind.

20

LB1, LB2 und LB3 bezeichnen in den entsprechenden Teilchips TC1, TC2, TC3 vorgesehene Leiterbahnen, welche in bekannter Planartechnologie erstellt sind und im gezeigten Beispiel unter der jeweiligen Oberfläche des betreffenden Teilchips vergraben sind (beispielsweise unter einer Isolationsschicht).

30

Zur Verbindung der Leiterbahnen sind Durchkontaktierungen V (Vias mit leitender Füllung) durch die Teilchips TC1, TC2, TC3 vorgesehen, welche dafür sorgen, daß ein durch alle Teilchips verlaufender durchgehender elektrischer Signalweg gebildet wird. An einem ersten Ende des elektrischen Signalwegs vorgesehen ist eine Sendeeinrichtung S, und an einem zweiten

Ende des elektrischen Signalwegs vorgesehen ist eine Empfangseinrichtung E.

Zur Sicherung des derart aufgebauten mehrdimensionalen Typstapels wird nun im Betrieb ein elektrisches Signal unter regelmäßigen Abständen, z.B. im Sekudentakt, von der Sendeeinrichtung S zu der Empfangseinrichtung E geleitet. Die Empfangseinrichtung enthält eine nicht dargestellt intelligente Schaltung, welche eine Beschädigung des Chipstapels feststellt, wenn das elektrische Signal SI in der Empfangseinrichtung E nicht empfangbar ist. Diese Feststellungseinrichtung sorgt weiterhin dafür, daß bei Feststellung einer Beschädigung des Chipstapels sicherheitsrelevante Funktionskomponenten in den Teilchips TC1, TC2, TC3 deaktiviert werden, falls eine Beschädigung des Chipstapels festgestellt wird. Beispielsweise kann eine solche Deaktivierung ein Löschen von Speicherinhalten von Speicherkomponenten sein.

Die Art des elektrischen Signals ist im wesentlichen beliebig. Es muß nur ein Muster sein, dessen Struktur der Empfänger kennt.

Der in Figur 1 gezeigte durchgehende Signalweg hat die Form eines in einer vertikalen Ebene liegenden Mäanders. Um die Sicherung gegebenenfalls in die dritte Dimension auszudehnen, können entweder mehrere solcher Sicherungsvorrichtungen nebeneinander verwendet werden oder können die Leiterbahnen im jeweiligen Teilchip in die dritte Dimension (Tiefe) verlaufend ausgebildet sein.

Fig. 2 ist eine schematische Darstellung eines aus drei Teilchips aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung.

Bei der in Figur 2 gezeigten zweiten Ausführungsform ist zusätzlich ein von der Sendeeinrichtung S zu der Empfangseinrich-

richtung E verlaufender durchgehender elektrischer Referenzsignalweg gebildet, über den gleichzeitig mit dem Senden des elektrischen Signals SI ein elektrisches Referenzsignal R gesendet wird. Somit ist das Kriterium für die Unversehrtheit des Chipstapels nicht nur die reine Empfangbarkeit des Signals SI am Empfänger, sondern auch die gleichzeitige Empfangbarkeit des Referenzsignals R. Damit läßt sich sicherstellen, daß der Empfangseinrichtung E keine künstliche Sendeeinrichtung anstatt der echten Sendeeinrichtung S vorgetauscht wird.

Es sei erwähnt, daß der Referenzsignalweg analog wie der erste Signalweg mit Leiterbahnen und Durchkontaktierungen aufgebaut werden kann und nur aus Gründen der Vereinfachung hier nur als schematische Linie dargestellt ist.

Fig. 3 ist eine schematische Darstellung eines aus drei Teilchips aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem dritten Ausführungsbeispiel der vorliegenden Erfindung.

Bei der in Figur 3 dargestellten dritten Ausführungsform sind die Sendeeinrichtung S und die Empfangseinrichtung E in verschiedenen Teilchips TC1 bzw. TC3 untergebracht. Damit läßt sich verhindern, daß sie über eine Brücke zwischen Durchkontaktierungen des Teilchips TC1 kurzgeschlossen werden.

Fig. 4 ist eine schematische Darstellung eines aus drei Teilchips aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem vierten Ausführungsbeispiel der vorliegenden Erfindung.

Bei der in Figur 4 gezeigten vierten Ausführungsform sind zwei Signalwege mit einer jeweiligen Sendeeinrichtung S1, S2, und einer jeweiligen Empfangseinrichtung E1, E2 vorgesehen. Hierbei überprüfen sich die Teilchips wechselweise durch Senden der Signale SI1, R1 bzw. SI2, R2 in entgegengesetzten

Richtungen. Dies erhöht die Wirksamkeit der Sicherungsvorrichtung.

Fig. 5 ist eine schematische Darstellung eines aus drei Teilchips 5 aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem fünften Ausführungsbeispiel der vorliegenden Erfindung.

Bei der in Figur 5 gezeigten Ausführungsform sind die Sende-10 einrichtung S und die Empfangseinrichtung E im mittleren Teilchip TC2 untergebracht. Im Gegensatz zu oben beschriebener Ausführungsform sind bei dieser Ausführungsform zweidimensionale Mäander-Leiterbahnenmuster M1, M2 in den Signalweg mit einbezogen. Diese Mäander-Leiterbahnenmuster sind an der 15 oberen bzw. unteren Stirnfläche des Chipstapels vorgesehen und dienen zum Schutz dieser beiden großen freiliegenden Stirnflächen. Ansonsten ist die Funktion der Sicherungsvorrichtung nach diesem fünften Ausführungsbeispiel gleich wie diejenige der bereits oben beschriebenen Ausführungsbeispiele. 20

Fig. 6 ist eine schematische Darstellung eines aus drei Teilchips 25 aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem sechsten Ausführungsbeispiel der vorliegenden Erfindung.

Bei der in Figur 6 gezeigten Ausführungsform sind die drei Teilchips TC1, TC2, TC3 im noch nicht miteinander verbundenen Zustand dargestellt, wobei die späteren Kontaktflächen K12, 30 K23 schematisch durch eine gestrichelte Linie und entsprechende Pfeile zusammenfügend dargestellt sind.

In Figur 6 bezeichnen M1O eine obere Metallisierung des ersten Teilchips TC1, M2U eine untere Metallisierung des zweiten 35 Teilchips TC2, M2O eine obere Metallisierung des zweiten Teilchips TC2, und M3U eine untere Metallisierung des dritten Teilchips TC3. Die jeweiligen an den Kontaktflächen K12 und K23 gegenüber-

liegenden Metallisierungen weisen die gleiche Struktur auf, wobei in der Mitte eine jeweilige mäanderförmige Struktur MM1 bzw. MM2 vorgesehen ist. Die in Figur 6 gezeigte sechste Ausführungsform nutzt die Tatsache aus, daß bei vertikalen Chipverbindungsverfahren zwischen dem oberen und unteren Teilchip eine leitfähige Schicht entsteht, sofern an den entsprechenden Stellen Verbindungsmetall, wie z.B. Lot, stehen bleibt, und nicht durch eine Strukturierung mit nachfolgendem Ätzschritt entfernt wird.

10

Bei dieser Ausführungsform wird die zur Verbindung zwischen den Teilchips verwendete Metallschicht dazu verwendet, ein jeweiliges mäanderförmiges Leiterbahn muster MM1 bzw. MM2 auszubilden, da es Teil des Signalwegs ist, welcher durch sämtliche Teilchips TC1, TC2, TC3 verläuft. Somit ist in den Bereichen, die nicht unmittelbar zur vertikalen Kontaktierung verwendet werden eine strukturierte Abschirmung zwischen den Teilchips ausgebildet. Sie schützt zusätzlich zu den Elementen der darüberliegenden aktiven Schicht die darunterliegende Schaltungsteile. Ihre Freiheit ist in gewisser Weise durch die notwendige Justage der Teilchips zueinander begrenzt. Dafür entsteht sie sofern man nicht die vertikale Durchkontaktierung extrem dicht ist, ohne Zusatzaufwand bei der vertikalen Integration.

25

Insbesondere kann ein Lotmetall noch einseitig auf die Unterseite des untersten Chips aufgebracht werden und die Schaltung so allseitig geschützt werden.

30 Bei der gezeigten sechsten Ausführungsform sind die Sendeeinrichtung S und die Empfangseinrichtung E im mittleren Teilchip untergebracht. Der Signalweg verläuft von der Sendeeinrichtung S nach oben in die mäanderförmige Leiterbahnschicht MM2, von dort über die Durchkontaktierung V in die mäanderförmige Leiterbahnschicht MM1 und von dort senkrecht nach oben zur Empfangseinrichtung E.

10

Obwohl die vorliegende Erfindung vorstehend anhand bevorzugter Ausführungsbeispiele beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Art und Weise modifizierbar.

5

Insbesondere ist die vorliegende Erfindung nicht auf drei miteinander verbundene Teilchips beschränkt, sondern kann auf eine beliebige Kombination von Teilchips angewendet werden. Auch ist die flächen- oder raumäßige Gestaltung des durchgehenden Signalwegs entsprechend der geometrischen Verhältnisse 10 der Einzelchips beliebig aufteilbar.

Die Sendeeinrichtung und die Empfangseinrichtung können sich 15 in einem der Teilchips befinden, können aber ebenfalls außerhalb der Chips vorgesehen sein, beispielsweise in einer Fassung oder Einspannung des Chips.

Für den Fall, daß sich z.B. aus technischen Gründen am Chip 20 keine rückseitige Abschirmung anbringen läßt, kann ein Extra-Chip nur mit Abschirmung, aber ohne Funktionskomponenten angefügt werden.

Patentansprüche

1. Verfahren zur Sicherung eines mehrdimensional aufgebauten Chipstapels, welcher eine Mehrzahl an jeweiligen Kontaktflächen (K12, K23) miteinander verbundener Teilchips (TC1, TC2, TC3), von denen zumindest einer entsprechende Funktionskomponenten enthält, aufweist, mit den Schritten:

10 Vorsehen von jeweiligen Leiterbahnen (LB1, LB2, LB3) in den Teilchips (TC1, TC2, TC3);

15 Vorsehen von Durchkontaktierungen (V) an den jeweiligen Kontaktflächen (K12, K23), welche jeweils Leiterbahnen verschiedener Teilchips (TC1, TC2, TC3) miteinander verbinden, so daß ein durch die Teilchips (TC1, TC2, TC3) verlaufender durchgehender elektrischer Signalweg gebildet wird;

20 Senden eines elektrischen Signals (SI; SI1, SI2) von einer an einem ersten Ende des elektrischen Signalwegs vorgesehenen Sendeeinrichtung (S; S1, S2) zu einer an einem zweiten Ende des elektrischen Signalwegs vorgesehenen Empfangseinrichtung (E; E1, E2); und

25 Feststellen der Beschädigung des Chipstapels, wenn das elektrische Signal (SI; SI1, SI2) nicht empfangbar ist.

30 2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß ein oder mehrere Funktionskomponenten deaktiviert werden, falls eine Beschädigung des Chipstapels festgestellt wird.

35 3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß ein von der Sendeeinrichtung (S; S1, S2) zur Empfangseinrichtung (E; E1, E2) verlaufender durchgehender elektrischer Referenzsignalweg gebildet wird und darüber gleichzeitig mit dem Senden des elektrischen Signals (SI; SI1, SI2) ein elektrisches Referenzsignal (R; R1, R2) gesendet wird.

12

4. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Sendeeinrichtung (S; S1, S2) und die Empfangseinrichtung (E; E1, E2) in verschiedenen Teilchips vorgesehen werden.

5

5. Verfahren nach Anspruch 3 oder 4, dadurch gekennzeichnet, daß mehrere Paare von Sendeeinrichtung (S; S1, S2) und Empfangseinrichtung (E; E1, E2) in verschiedenen Teilchips vorgesehen werden.

10

6. Vorrichtung zur Sicherung eines mehrdimensional aufgebauten Chipstapels, welcher eine Mehrzahl an jeweiligen Kontaktflächen (K12, K23) miteinander verbundener Teilchips (TC1, TC2, TC3) mit entsprechenden Funktionskomponenten aufweist, mit:

jeweiligen Leiterbahnen (LB1, LB2, LB3) in den Teilchips (TC1, TC2, TC3); und

20 Durchkontakteierungen (V) an den jeweiligen Kontaktflächen (K12, K23), welche jeweils Leiterbahnen verschiedener Teilchips (TC1, TC2, TC3) miteinander verbinden, so daß ein durch die Teilchips (TC1, TC2, TC3) verlaufender durchgehender elektrischer Signalweg gebildet ist.

25

7. Vorrichtung nach Anspruch 6, gekennzeichnet durch eine an einem ersten Ende des elektrischen Signalwegs vorgesehene Sendeeinrichtung (S; S1, S2) und eine an einem zweiten Ende des elektrischen Signalwegs vorgesehenen Empfangseinrichtung (E; E1, E2); und eine Feststellungseinrichtung zum Feststellen der Beschädigung des Chipstapels, wenn das elektrische Signal (SI; SI1, SI2) nicht empfangbar ist.

35 8. Vorrichtung nach Anspruch 7, dadurch gekennzeichnet, daß eine Deaktivierungseinrichtung zum Deaktivieren einer oder mehrerer Funktionskomponenten, falls die Feststellungsein-

richtung eine Beschädigung des Chipstapels festgestellt, vorgesehen ist.

9. Vorrichtung nach Anspruch 7 oder 8, dadurch gekennzeichnet, daß ein von der Sendeeinrichtung (S; S1, S2) zur Empfangseinrichtung (E; E1, E2) verlaufender durchgehender elektrischer Referenzsignalweg gebildet ist.

10. Vorrichtung nach einem der Ansprüche 7 bis 9, dadurch gekennzeichnet, daß die Sendeeinrichtung (S; S1, S2) und die Empfangseinrichtung (E; E1, E2) in verschiedenen Teilchips vorgesehen sind.

11. Vorrichtung nach Anspruch 9 oder 10, dadurch gekennzeichnet, daß mehrere Paare von Sendeeinrichtung (S; S1, S2) und Empfangseinrichtung (E; E1, E2) in verschiedenen Teilchips vorgesehen sind.

12. Vorrichtung nach einem der Ansprüche 6 bis 11, dadurch gekennzeichnet, daß die jeweiligen Leiterbahnen (LB1, LB2, LB3) in den Teilchips (TC1, TC2, TC3) planar ausgebildet sind.

13. Vorrichtung nach Anspruch 12, dadurch gekennzeichnet, daß Leiterbahnen (MM1, MM2) zwischen den Teilchips in einer Metallisierungsschicht zur Verbindung jeweils zweier Teilchips ausgebildet sind.

14. Vorrichtung nach Anspruch 13, dadurch gekennzeichnet, daß eine Metallisierungsschicht ohne Verbindungsfunction einseitig als Abschirmung auf einem außen liegenden Teilchip vorgesehen ist.

15. Vorrichtung nach einem der Ansprüche 6 bis 14, dadurch gekennzeichnet, daß der Signalweg vertikal durch die Teilchips (TC1, TC2, TC3) laufend mäanderförmig ausgebildet ist.

16. Vorrichtung nach einem der Ansprüche 6 bis 15, dadurch gekennzeichnet, daß Leiterbahnen (M1, M2; MM1, MM2) in einem oder mehreren Teilchips, insbesondere an den Stirnflächen des Chipstapels, planar mäanderförmig ausgebildet sind.

1/3

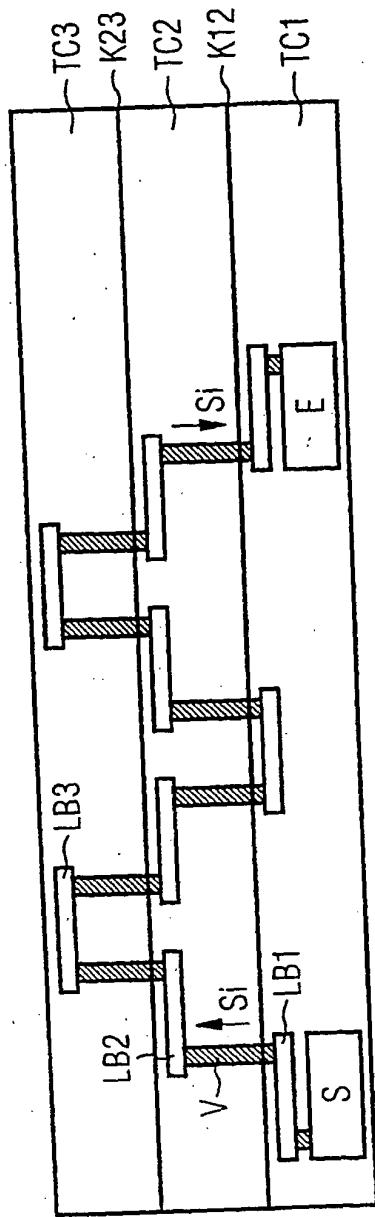


FIG 1

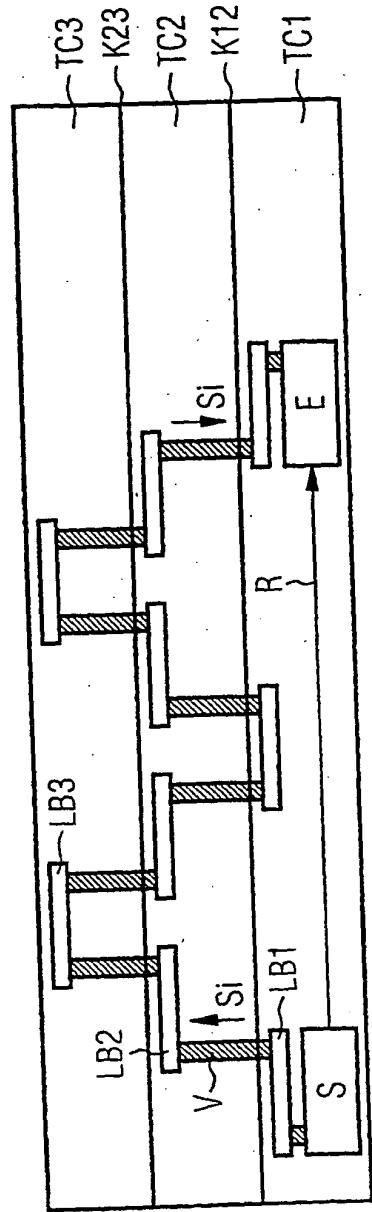


FIG 2

2/3

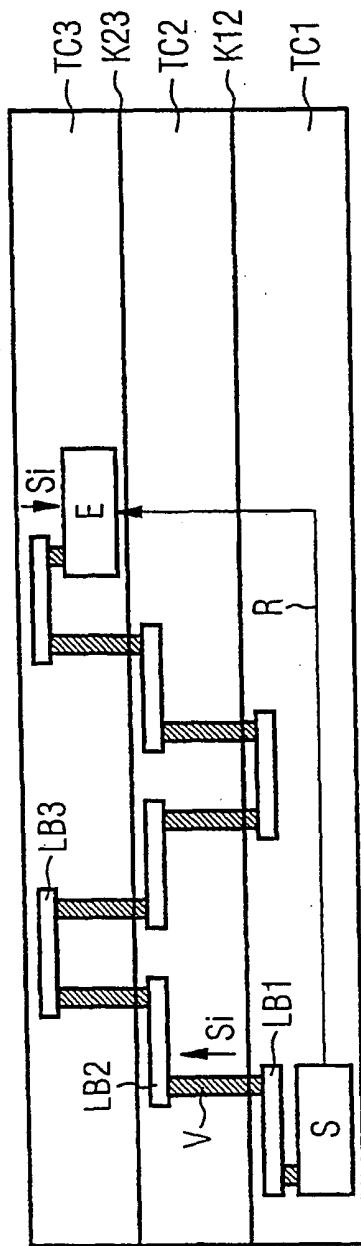


FIG 3

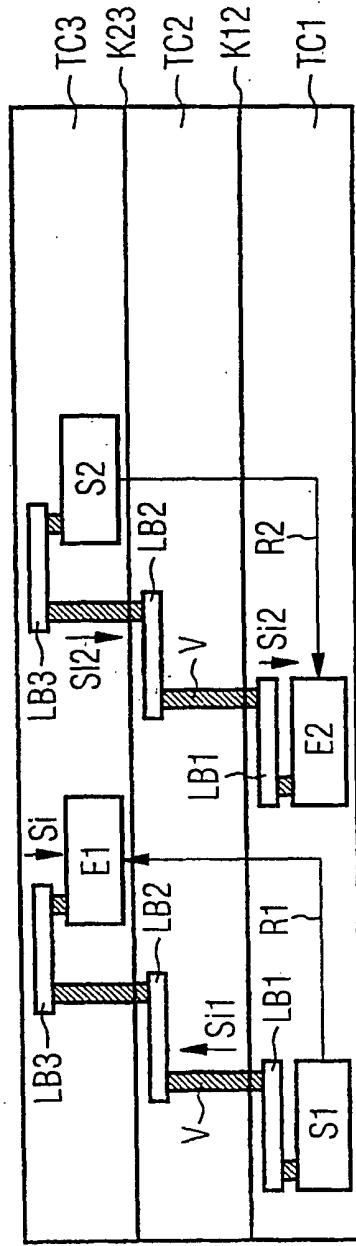


FIG 4

3/3

INTERNATIONAL SEARCH REPORT

Inte lional Application No
PCT/EP 00/03834

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L23/58 H01L25/065 H01L21/66

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	PATENT ABSTRACTS OF JAPAN vol. 011, no. 036 (E-477), 3 February 1987 (1987-02-03) & JP 61 203656 A (NEC CORP), 9 September 1986 (1986-09-09) abstract ---	1-3,6-10
Y	EP 0 510 433 A (HUGHES AIRCRAFT CO) 28 October 1992 (1992-10-28) abstract; figures ---	1-3,6-10
A	WO 96 31101 A (INTEL CORP) 3 October 1996 (1996-10-03) ---	

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

24 July 2000

Date of mailing of the international search report

31/07/2000

Name and mailing address of the ISA
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel: (+31-70) 340-2040, Tx. 31 651 epo nl.
Fax: (+31-70) 340-3016

Authorized officer

Prohaska, G

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/EP 00/03834

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
JP 61203656	A	09-09-1986	NONE		
EP 0510433	A	28-10-1992	US 5072331 A		10-12-1991
			JP 5158799 A		25-06-1993
WO 9631101	A	03-10-1996	AU 4981496 A		16-10-1996
			EP 0818132 A		14-01-1998
			US 5761054 A		02-06-1998

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP 00/03834

A. KLASSEFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L23/58 H01L25/065 H01L21/66

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBiete

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	PATENT ABSTRACTS OF JAPAN vol. 011, no. 036 (E-477), 3. Februar 1987 (1987-02-03) & JP 61 203656 A (NEC CORP), 9. September 1986 (1986-09-09) Zusammenfassung -----	1-3,6-10
Y	EP 0 510 433 A (HUGHES AIRCRAFT CO) 28. Oktober 1992 (1992-10-28) Zusammenfassung; Abbildungen -----	1-3,6-10
A	WO 96 31101 A (INTEL CORP) 3. Oktober 1996 (1996-10-03) -----	

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann charakteristisch ist

*& Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

Absendedatum des internationalen Recherchenberichts

24. Juli 2000

31/07/2000

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel: (+31-70) 340-2040, Tx: 21 651 epo nl.
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Prohaska, G

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP 00/03834

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
JP 61203656	A	09-09-1986	KEINE		
EP 0510433	A	28-10-1992	US	5072331 A	10-12-1991
			JP	5158799 A	25-06-1993
WO 9631101	A	03-10-1996	AU	4981496 A	16-10-1996
			EP	0818132 A	14-01-1998
			US	5761054 A	02-06-1998

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/EP 00/03834

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
JP 61203656 A	09-09-1986	KEINE		
EP 0510433 A	28-10-1992	US 5072331 A		10-12-1991
		JP 5158799 A		25-06-1993
WO 9631101 A	03-10-1996	AU 4981496 A		16-10-1996
		EP 0818132 A		14-01-1998
		US 5761054 A		02-06-1998

DOCKET NO: P2001,0087

SERIAL NO: _____

APPLICANT: Christian Annenber et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100

JAN 07 2003

25282 TUA

000610

正本

裝

訂

線

經濟部智慧財產局專利核駁審定書

受文者：億恒科技公司（代理人：陳長文先生）

地址：台北市敦化北路二〇一號七樓

發文日期：中華民國九十二年一月三日
發文字號：（九二）智專二（一）04076字
第〇九二二〇〇〇五〇三〇號

一、申請案號數：〇九〇一三二五二一

二、發明名稱：積體電路之屏蔽裝置

三、申請人：

名稱：億恒科技公司

地址：德國

四、專利代理人：

姓名：陳長文先生

地址：台北市敦化北路二〇一號七樓

五、申請日期：九十年十二月二十七日

六、優先權項目：1 2001/02/08 德國10105725.3

七、審查人員姓名：胡振國 委員

專利分類IPC(7)… H01L 23/58

(4, 28)
1, 30



八、審定內容：

主文：本案應不予以專利。

依據：專利法第二十條第一項第一款。

理由：

(一) 本案「積體電路之屏蔽裝置」提出一適用於SOI結構之光學及／或電氣屏蔽技術，利用於導體列置於面對基底之基體矽層鄰近絕緣層處，經由一或多個導電孔與主體矽層連接，藉此達到屏蔽之效。

(二) 經查本國八十六年四月二十一日專利公告號第三〇三四九六號中（如檢附引證附件），已述及製備SOI晶圓，形成位於絕緣層下且鄰接該絕緣層的埋置導電層，並經接觸空孔將本體與埋置導電層連接之相似技術，故本案不具新穎性。

(三) 綜上所述，本案申請前已見於刊物或已公開使用，不具新穎性，應不予以專利。據上論結，本案不符法定專利要件，爰依專利法第二十條第一項第一款，審定如主文。

局長 蔡練生

依照分層負責規定授權單位主管決行

裝

訂

線

如不服本審定，得於文到之次日起三十日內，備具再審查理由書一式二份及規費新台幣陸仟元整（專利說明書及圖式合計在五十頁以上者，每五十頁加收新台幣五百元，其不足五十頁者以五十頁計），向本局申請再審查。

第 9013252 / 號
初審 (訴願) 引証附件
再審

中華民國專利公報 (19)(12)

(11) 公告編號: 303496

(44) 中華民國 86 年 (1997) 04 月 21 日

發明

全 6 頁

(51) Int. Cl. 6: H01L21/3205

27/108

(54) 名稱: 形成具有本體接觸之絕緣間上矽動態隨機存取記憶體之方法

(21) 申請案號: 85104005

(22) 申請日期: 中華民國 85 年 (1996) 04 月 06 日

(72) 發明人:

蓋利·B·布朗尼

美國

約翰·K·戴布魯斯

美國

傑克·A·門德爾

美國

(71) 申請人:

萬國商業機器公司

美國

(74) 代理人: 陳長文 先生

1

2

[57] 申請專利範圍:

1. 一種形成具有記憶體陣列之 SOI 動態隨機存取記憶體的方法，該記憶體在記憶體陣列中具有電晶體本體接觸，包含步驟有：

製備 SOI 晶圓，其具有半導電性基板，位於該基板之上的半導體裝置層以及位於該基板和該裝置層之間的絕緣層；

形成位於該絕緣層之下且鄰接該絕緣層的埋置導電層；

形成一組電容器於該記憶體陣列中；

形成場屏蔽，其具有場屏蔽上表面且與該記憶體陣列中的該裝置層隔開；

形成一組並列的主動區域空孔於該場屏蔽中，每一個空孔具有一個主動區域軸心；

形成一組電晶體於該裝置層中且位於該主動區域空孔之下，其具有電晶體本體；

形成一組本體接觸空孔，其向下延伸穿過該裝置層，到達該主動區域空孔之一個本體接觸次組合中的該埋置導電層；及

形成一組導電構件，其連接該本體接觸次組合中的該埋置導電層和該裝置層，因此，該組導電構件中的導電構件在該電晶體本體和該埋置導電層之間形成本體接觸。

5. 根據申請專利範圍第 1 項之形成 SOI 動態隨機存取記憶體的方法，其中：

在該記憶體陣列中形成一組電容器的該步驟包含：形成一組深溝槽穿過該裝置層和該絕緣層並延伸進入該基板的步驟；且

形成一組電容器於該組深溝槽中。

3. 根據申請專利範圍第 2 項之形成 SOI 動態隨機存取記憶體的方法，其中：

該形成一組電晶體的步驟包括，形成

一組導電性閘極接觸於該組主動區域空孔之內並使閘極接觸上表面與該場屏蔽上表面共平面的步驟。

4. 根據申請專利範圍第3項之形成SOI動態隨機存取記憶體的方法，更包括形成字組線的步驟，其沿著垂直於該主動區域軸心的軸心連接很多的該閘極接觸，該字組線沉積於該閘極接觸上表面和該場屏蔽上表面上。

5. 根據申請專利範圍第1項之形成SOI動態隨機存取記憶體的方法，其中該形成電容器和電晶體的諸步驟包括：在該主動區域空孔之內，沿著該主動區域軸心形成至少兩個動態隨機存取記憶體單元，每一個單元含有一個電容器及一個連接至該電容器的電晶體，該等電容器以該裝置層中的本體接觸區域沿著該主動區域軸心隔開。

6. 根據申請專利範圍第5項之形成SOI動態隨機存取記憶體的方法，其中該本體接觸次組合中形成一組本體接觸空孔的該步驟包括：形成自動對正本體接觸空孔穿過該裝置層中之該本體接觸區域的步驟。

7. 根據申請專利範圍第2項之形成SOI動態隨機存取記憶體的方法，其中該等形成電容器和電晶體的步驟包括：在該主動區域空孔之內，沿著該主動區域軸心形成至少兩個動態隨機存取記憶體單元，每一個單元含有一個電容器及一個連接至該電容器的電晶體，該等電容器以該裝置層中的本體接觸區域沿著該主動區域軸心隔開。

8. 根據申請專利範圍第7項之形成SOI動態隨機存取記憶體的方法，其中該本體接觸次組合中形成一組本體接觸空孔的步驟包括：形成自動對正本體接觸空孔穿過該裝置層中之該本體接觸區域的步驟。

9. 一種形成具有記憶體陣列之SOI動態

隨機存取記憶體的方法，該記憶體陣列含有第一極性的電晶體和包含該第一極性電晶體的互補型金氧半導體輔助電路迴路和相反於該第一極性之第二極性的電晶體，在該陣列之內的那些該第一極性電晶體具有本體接觸，包含步驟有：

製備SOI晶圓，具有半導電性基板，位於該基板之上的半導體裝置層以及位於該基板和該裝置層之間的絕緣層；

形成位於該絕緣層之下且鄰接該絕緣層的埋置導電層；

形成一組電容器於該記憶體陣列中；

同時形成第一閘極多晶層於該陣列之外以及形成場屏蔽，該場屏蔽具有場屏蔽上表面且與該記憶體陣列中的該裝置層隔開；

形成一組並列的主動區域空孔於該場屏蔽中，每一個空孔具有一個主動區域軸心；

同時形成具該第一極性的第一組電晶體於該裝置層中且位於該主動區域空孔之下，以及形成具該第一極性的第二組電晶體於該輔助電路迴路中的該裝置層中；

形成一組本體接觸空孔，其向下延伸穿過該裝置層，到達該主動區域空孔之一個本體接觸次組合中的該埋置導電層；及

形成一陣列組的導電構件，連接該本體接觸次組合中的該埋置導電層和該裝置層，因此，該組導電構件中的導電構件在具第一極性之該電晶體和該埋置導電層中的一組電晶體本體之間形成本體接觸。

10. 根據申請專利範圍第9項之形成SOI動態隨機存取記憶體的方法，其中：在該記憶體陣列中形成一組電容器的該步驟包含，形成一組深溝槽穿過該

40.

裝置層和該絕緣層並延伸進入該基板的步驟；且形成一組電容器於該組深溝槽中。

11.根據申請專利範圍第10項之形成SOI動態隨機存取記憶體的方法，其中：

該形成一組電晶體的步驟包括：沉積第一閘極導電層於該陣列之內和之外，由該第一閘極導電層形成一組導電性閘極接觸於該組主動區域空孔之內並使閘極接觸上表面與該場屏蔽上表面以及與該陣列外之第一閘極接觸導電層上表面共平面的步驟。

12.根據申請專利範圍第11項之形成SOI動態隨機存取記憶體的方法，更包括沉積第二閘極導電層於該陣列之內和之外，因此在該陣列之外形成複合閘極導電層：

將該第二閘極導電層形成圖樣以形成字組線，沿著垂直於該陣列中之該主動區域軸心的軸心連接很多的該閘極接觸，該字組線沉積於該陣列中之該閘極接觸上表面和該場屏蔽上表面上，並將複合閘極導電層形成圖樣以在該陣列之外形成電晶體閘極。

13.根據申請專利範圍第9項之形成SOI動態隨機存取記憶體的方法，其中該等形成電容器和電晶體的步驟包括：在該主動區域空孔之內，沿著該主動區域軸心形成至少兩個動態隨機存取記憶體單元，每一個單元含有一個電容器及一個連接至該電容器的電晶體，該等電容器以該裝置層中的本體接觸

區域沿著該主動區域軸心隔開。

14.根據申請專利範圍第13項之形成SOI動態隨機存取記憶體的方法，其中在該本體接觸次組合中形成一組本體接觸空孔的該步驟包括：形成自動對正本體接觸空孔穿過該裝置層中之該本體接觸區域的步驟。

15.根據申請專利範圍第10項之形成SOI動態隨機存取記憶體的方法，其中該等形成電容器和電晶體的步驟包括：在該主動區域空孔之內，沿著該主動區域軸心形成至少兩個動態隨機存取記憶體單元，每一個單元含有一個電容器及一個連接至該電容器的電晶體，該等電容器以該裝置層中的本體接觸區域沿著該主動區域軸心隔開。

16.根據申請專利範圍第15項之形成SOI動態隨機存取記憶體的方法，其中該本體接觸次組合中形成一組本體接觸空孔的該步驟包括：形成自動對正本體接觸空孔穿過該裝置層中之該本體接觸區域的步驟。

圖示簡單說明：

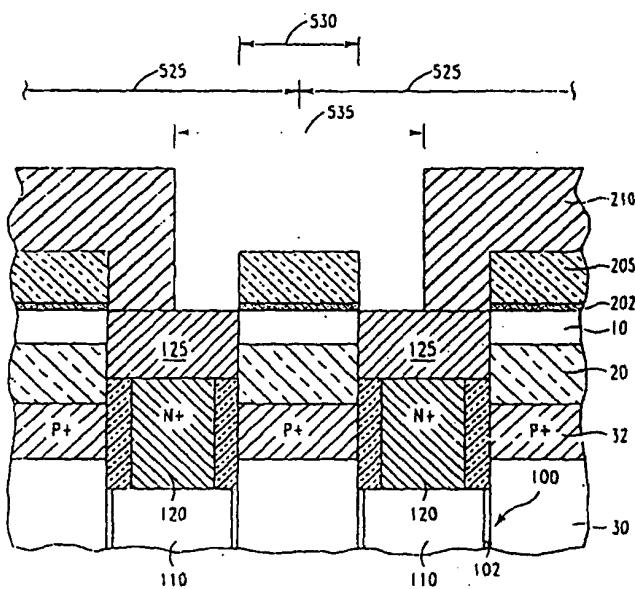
25. 圖1至4以橫斷面圖示動態隨機存取記憶體的一部份，顯示出在製造程序中各個時點之相鄰的深溝槽電容器以及相關的本體接觸和場屏蔽絕緣。

20. 圖5顯示出記憶體陣列之一個片段的上視圖。

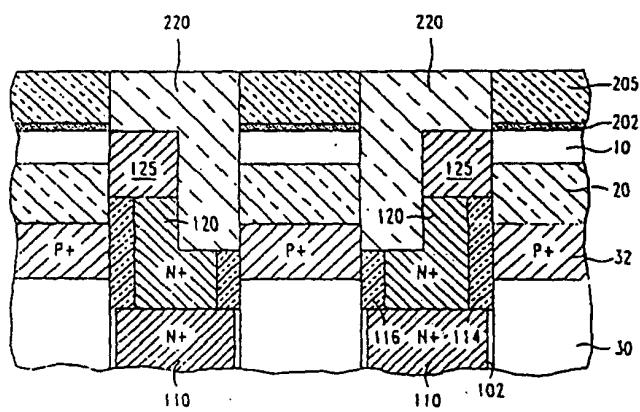
30. 圖5A顯示出記憶體陣列的輪廓圖形。

圖6顯示出對圖1-4的正交橫斷面。

(4)

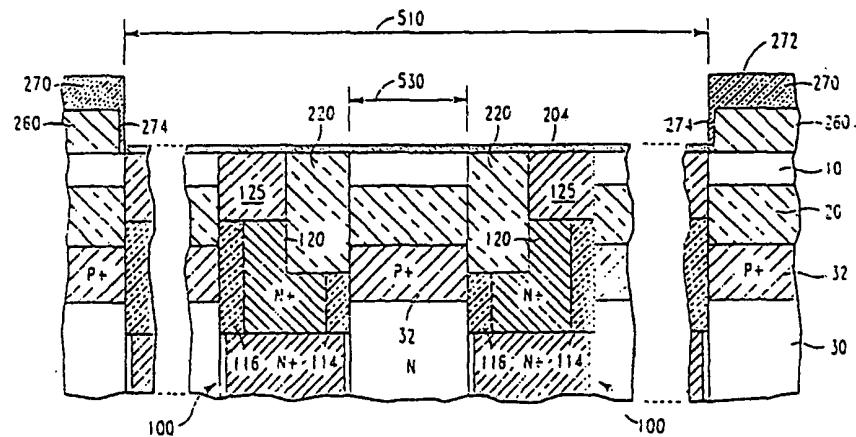


圖一

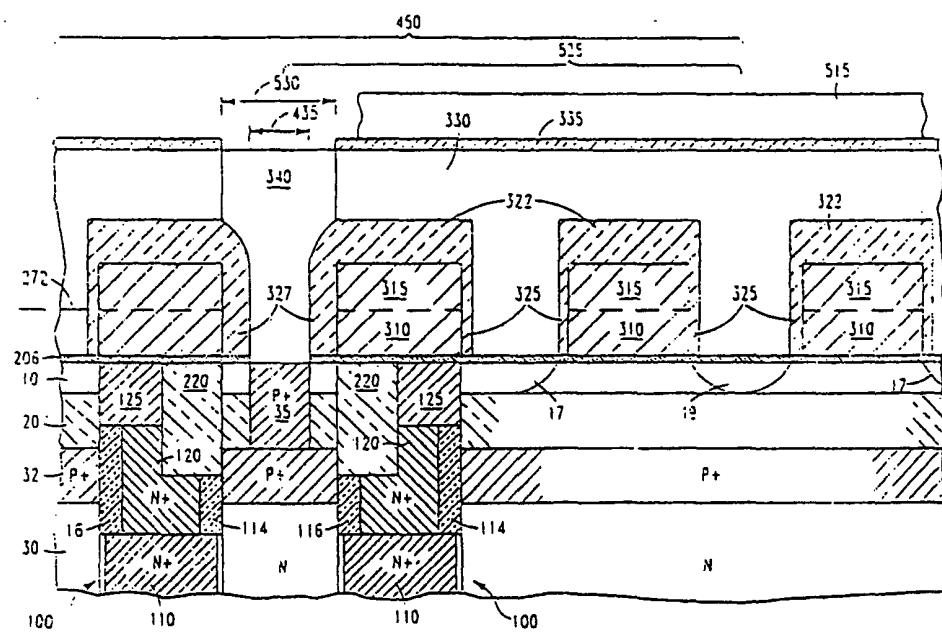


圖二

(5)

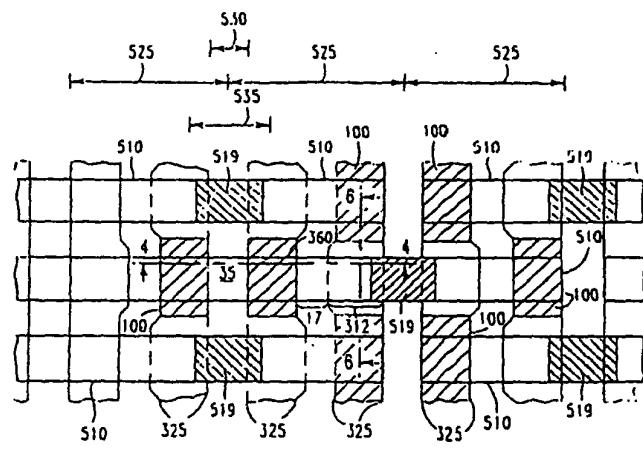


圖三

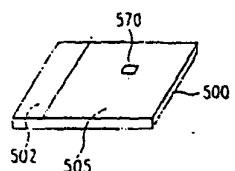


圖四

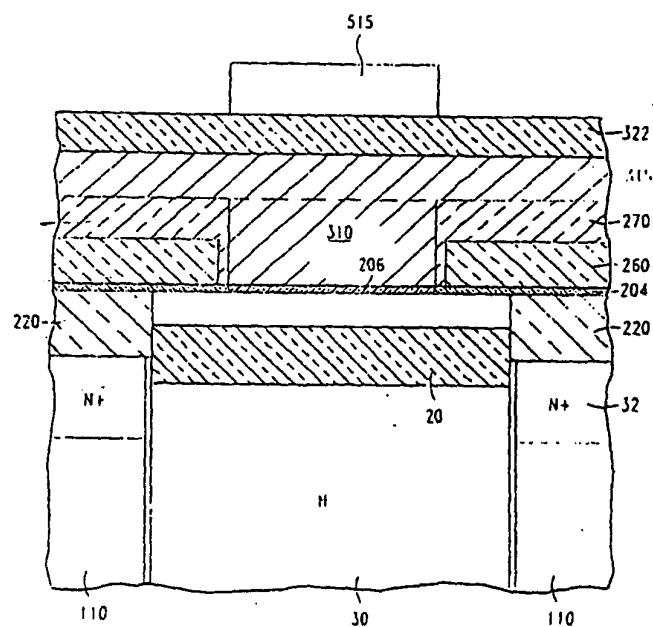
(6)



圖五 A



圖五



圖六

DOCKET NO: P2001,0087

SERIAL NO: _____

APPLICANT: Christian Aumüller et al

LERNER AND GREENBERG P.A.

P.O. BOX 2480
HOLLYWOOD, FLORIDA 33022
TEL. (954) 925-1100

XP-002236865

AN - 2001-365175 [38]

AP - [Div ex] US19990468518 19991221; US20010955028 20010919; [Div ex US6313507] ; KR19980058550 19981224; TW19990122226 19991217; [Previous Publ. KR2000042385]

CPY - HYUN-N

- HYNI-N

DC - U11 U12

FS - EPI

IC - H01L21/30 ; H01L21/31 ; H01L24/46 ; H01L27/01 ; H01L29/78

IN - LEE J W; LEE J

MC - U11-C05C U11-C05E U11-C05F1 U11-C08A3 U11-C08A6 U11-C18A3 U12-E01A5 U12-E02

PA - (HYUN-N) HYUNDAI ELECTRONICS IND CO LTD

- (HYNI-N) HYNIX SEMICONDUCTOR INC

PN - US6455396 B1 20020924 DW200266 H01L21/30 000pp

- KR2000042385 A 20000715 DW200138 H01L21/31 000pp

- TW437091 A 20010528 DW200172 H01L29/78 000pp

- KR294640 B 20010807 DW200230 H01L21/31 000pp

- US6313507 B1 20011106 DW200230 H01L27/01 009pp

- US2002040998 A1 20020411 DW200231 H01L27/01 000pp

PR - KR19980058550 19981224

XIC - H01L-021/30 ; H01L-021/31 ; H01L-024/46 ; H01L-027/01 ; H01L-029/78

XP - N2002-187154

AB - KR2000042385 NOVELTY - The buried insulation layer (27), conductive layer (26), semiconductor layer (200) are sequentially formed on substrate (30). An isolating layer (25) formed within semiconductor layer defines active region. A gate electrode (31) is formed on the selected portion of active region, on both sides of which source and drain regions (34a,34b) are formed. An electrode (35) is formed in layer (25) and voltage is applied to conductive layer.

- USE - In e.g. silicon-on-insulator semiconductor device.

- ADVANTAGE - Since conductive layer is formed between semiconductor layer and insulating layer, the potential of channel layer is adjusted and hence floating effect is completely prevented, even though a thin semiconductor layer is formed.

- DESCRIPTION OF DRAWING(S) - The figure shows a cross-sectional view illustrating the method of fabricating silicon-on-insulator semiconductor device.

- Isolating layer 25

- Conductive layer 26

- Buried insulation layer 27

- Substrate 30

- Gate electrode 31

- Source and drain regions 34a,34b

- Electrode 35

- Semiconductor layer 200

- (Dwg.21/2)

IW - SILICON INSULATE SEMICONDUCTOR DEVICE CONDUCTING LAYER FORMING
INSULATE LAYER SEMICONDUCTOR LAYER TRENCH TYPE ISOLATE LAYER FORMING
IKW - SILICON INSULATE SEMICONDUCTOR DEVICE CONDUCTING LAYER FORMING
INSULATE LAYER SEMICONDUCTOR LAYER TRENCH TYPE ISOLATE LAYER FORMING

INW - LEE J W; LEE J

NC - 003

OPD - 1998-12-24

ORD - 2000-07-15

PAW - (HYUN-N) HYUNDAI ELECTRONICS IND CO LTD

- (HYNI-N) HYNIX SEMICONDUCTOR INC

TI - Silicon-on-insulator semiconductor device has conductive layer formed between insulating layer and semiconductor layer on which trench-type isolating layer is formed

USAB- US2002040998 NOVELTY - The buried insulation layer (27), conductive layer (26), semiconductor layer (200) are sequentially formed on substrate (30). An isolating layer (25) formed within semiconductor layer defines active region. A gate electrode (31) is formed on the selected portion of active region, on both sides of which source and drain regions (34a,34b) are formed. An electrode (35) is formed in layer (25) and voltage is applied to conductive layer.

- USE - In e.g. silicon-on-insulator semiconductor device.

- ADVANTAGE - Since conductive layer is formed between semiconductor layer and insulating layer, the potential of channel layer is adjusted and hence floating effect is completely prevented, even though a thin semiconductor layer is formed.

- DESCRIPTION OF DRAWING(S) - The figure shows a cross-sectional view illustrating the method of fabricating silicon-on-insulator semiconductor device.

- Isolating layer 25

- Conductive layer 26

- Buried insulation layer 27

- Substrate 30

- Gate electrode 31

- Source and drain regions 34a,34b

- Electrode 35

- Semiconductor layer 200

- US6455396 NOVELTY - The buried insulation layer (27), conductive layer (26), semiconductor layer (200) are sequentially formed on substrate (30). An isolating layer (25) formed within semiconductor layer defines active region. A gate electrode (31) is formed on the selected portion of active region, on both sides of which source and drain regions (34a,34b) are formed. An electrode (35) is formed in layer (25) and voltage is applied to conductive layer.

- USE - In e.g. silicon-on-insulator semiconductor device.

- ADVANTAGE - Since conductive layer is formed between semiconductor layer and insulating layer, the potential of channel layer is adjusted and hence floating effect is completely prevented, even though a thin semiconductor layer is formed.

- DESCRIPTION OF DRAWING(S) - The figure shows a cross-sectional view illustrating the method of fabricating silicon-on-insulator semiconductor device.

- Isolating layer 25

- Conductive layer 26

- Buried insulation layer 27

- Substrate 30

- Source and drain regions 34a,34b
- Electrode 35
- Semiconductor layer 200

DOCKET NO: P2001,0087

SERIAL NO: _____

APPLICANT: Christian Aumiller et al.

LERNER AND ENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100